

**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

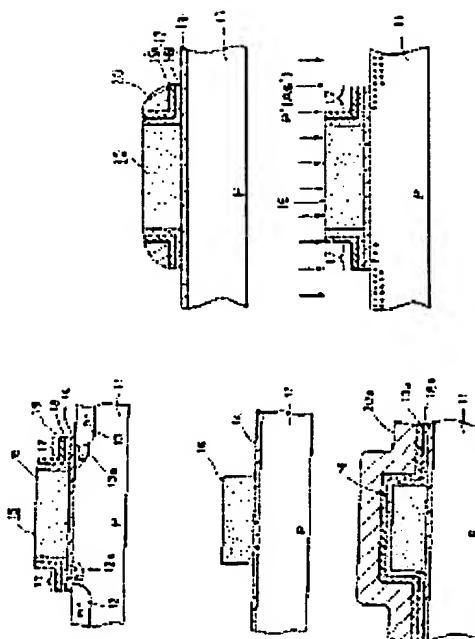
**Patent number:** JP2161733  
**Publication date:** 1990-06-21  
**Inventor:** TANEDA TOSHIHIKO  
**Applicant:** RICOH CO LTD  
**Classification:**  
- **international:** H01L21/336; H01L29/784  
- **european:**  
**Application number:** JP19880317180 19881214  
**Priority number(s):**

Report a data error here

**Abstract of JP2161733**

**PURPOSE:**To improve transistor characteristics and reliability, lower the resistance of a line containing a gate electrode, and simplify manufacturing process by making a low concentration diffusion region and a gate electrode have an overlapping part on a plane.

**CONSTITUTION:**On a gate oxide film 14 on a semiconductor substrate 11, a polycrystalline silicon layer is deposited, and a gate electrode part 16 is formed by patterning; a polycrystalline silicon layer 18a thicker than the layer 16 is deposited; thereon a high melting point metal silicide layer 19a is deposited; thereon an insulating film 20a is deposited; by anisotropic etching of the film 20a, the film 20a is left on the side wall; by using said film 20a as a mask, the layers 19a and 18a are etched, and a gate electrode part 17 is formed. After the side wall insulating film is eliminated, low concentration impurity ion is implanted with an energy which penetrates the part 17 and does not penetrate the part 16, and high concentration impurity ion of the same conductivity type as that of the impurity is implanted with an energy which does not penetrate the part 17. As a result, an FET wherein the low concentration diffusion regions 12a, 13a and the part 17 overlap with each other on a plane can be obtained.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-161733

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成2年(1990)6月21日

H 01 L 21/336  
29/784

8422-5F H 01 L 29/78 3 0 1 L  
審査請求 未請求 請求項の数 2 (全5頁)

⑬ 発明の名称 半導体装置とその製造方法

⑰ 特 願 昭63-317180

⑱ 出 願 昭63(1988)12月14日

⑲ 発 明 者 種 田 敏 彦 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号  
㉑ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

半導体装置とその製造方法

2. 特許請求の範囲

(1) ソース領域・ドレイン領域の高濃度拡散領域のチャネル側端部に低濃度拡散領域が形成されており、ゲート電極はチャネル領域上の膜厚の厚い第1の部分と、この第1の部分のチャネル長方向の外側に設けられた膜厚の薄い第2の部分とからなり、前記第2の部分は前記低濃度拡散領域と平面上の位置が重なっており、かつ、前記第2の部分はその上に高融点金属シリサイド層が形成されている半導体装置。

(2) 以下の工程(A)から(D)を含む半導体装置の製造方法。

(A) 半導体基板上的ゲート酸化膜上に第1の多結晶シリコン層を堆積し、パターン化してゲート電極の第1の部分を形成する工程。

(B) 第1の多結晶シリコン層より薄い膜厚の第2の多結晶シリコン層を堆積し、その上に高融点

金属シリサイド層を堆積し、さらに、その上に絶縁膜を堆積し、その絶縁膜の異方性エッチングにより側壁に前記絶縁膜を残し、この側壁絶縁膜をマスクにして前記高融点金属シリサイド層及び第2の多結晶シリコン層をエッチングし、ゲート電極の第2の部分を形成する工程。

(C) 前記側壁絶縁膜を除去した後、ゲート電極の第2の部分を透過し第1の部分を透過しないエネルギーで不純物イオンを低濃度に注入する工程。

(D) ゲート電極の第2の部分を透過しないエネルギーで前記不純物イオンと同じ導電型の不純物イオンを高濃度に注入する工程。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOS型半導体装置とその製造方法に関し、特にサブミクロンと称される微小サイズの半導体装置とその製造方法に関するものである。

(従来の技術)

トランジスタサイズが微小化されてくると、比例縮小則によりゲート酸化膜が薄く、チャネル長

が短くなる。その結果、トランジスタ内部が高電界になり、ホットキャリアが発生して信頼性が低下する。

このホットキャリアに基づく信頼性低下を抑制するために、DDD(Double Diffused Drain; 二重拡散ドレイン)構造やLDD(Lightly Doped Drain)構造が実用化されている。DDD構造では、砒素とリンを2重に打ち込み、ドレインの不純物濃度分布に緩い傾斜をもたせる。LDD構造ではソース・ドレインの高濃度拡散領域のチャネル側端部に低濃度拡散領域を形成する。

DDD構造は信頼性の点で問題があり、LDD構造は相互コンダクタンス $g_m$ が低下する点で問題があることがわかってきた。そこで、LDD構造をさらに改良し、ゲート電極の一部とソース・ドレインの低濃度拡散領域とが平面上の重なり部分をもつようにすることにより、信頼性が高く、相互コンダクタンスも低下しない構造が提案されている(「IEDM 87」38~41(1987)参照)。

そして残った下層の多結晶シリコン層5aを透過するエネルギーでリンをイオン注入して低濃度拡散領域2a, 3aを形成する。次に、側壁酸化膜9を形成し、それをマスクにして下層の多結晶シリコン層5aをパターン化し、その後、重なり長さを規定する酸化膜7を形成する。最後に、砒素を注入してソース2、ドレイン3を形成する。

(発明が解決しようとする課題)

第3図のような構造は構造自体が複雑であり、かつ、製造プロセスが複雑になるため、実用化の上で問題がある。

また、ゲート電極を含む多結晶シリコン層を低抵抗化する場合、ゲート電極表面に高融点金属シリサイド層を形成することがよく行なわれるが、第3図の半導体装置では、ゲート電極を含む多結晶シリコン層のエッジ形状がなだらかになっていこともあって、高融点金属シリサイド層を形成しにくい。

本発明はトランジスタ特性や信頼性に優れ、ゲート電極を含むラインが低抵抗化され、製造プロ

提案された構造は第3図に示されるものである。

1はシリコン基板、2はソース、3はドレインであり、LDD構造と同じくソース2、ドレイン3にはそれぞれチャネル領域端に低濃度拡散領域2a, 3aが設けられている。チャネル領域上にはゲート酸化膜4を介して多結晶シリコンにてなるゲート電極5が形成されているが、ゲート電極5は5a, 5bで示される二層構造となっており、両層5a, 5bの間には厚さが5~10Åの自然酸化膜6が設けられている。ゲート電極5の下層部分5aと低濃度拡散領域2a, 3aが平面上の重なりをもっている。7は重なり部分の長さを規定する酸化膜、8, 9はそれぞれCVD酸化膜である。

このような構造のMOSトランジスタを製造するには、間に自然酸化膜6を介在させた二層の多結晶シリコン層5a, 5bを形成し、その上に酸化膜のパターン8を形成する。その酸化膜パターン8をマスクにして選択エッチングを行ない、上層の多結晶シリコン層5bのみをエッチングする。

セスの簡単なMOS型半導体装置の構造とその製造方法を提供することを目的とするものである。

(課題を解決するための手段)

本発明の半導体装置では、ソース領域・ドレイン領域の高濃度拡散領域のチャネル側端部に低濃度拡散領域が形成されており、ゲート電極はチャネル領域上の膜厚の厚い第1の部分と、この第1の部分のチャネル長方向の外側に設けられた膜厚の薄い第2の部分とからなり、前記第2の部分は前記低濃度拡散領域と平面上の位置が重なっており、かつ、前記第2の部分はその上に高融点金属シリサイド層が形成されている。

この半導体装置を製造するたに、本発明の方法は以下の工程(A)から(D)を含んでいる。

(A) 半導体基板上的ゲート酸化膜上に第1の多結晶シリコン層を堆積し、パターン化してゲート電極の第1の部分を形成する工程。

(B) 第1の多結晶シリコン層より薄い膜厚の第2の多結晶シリコン層を堆積し、その上に高融点金属シリサイド層を堆積し、さらに、その上に絶

縁膜を堆積し、その絶縁膜の異方性エッチングにより側壁に前記絶縁膜を残し、この側壁絶縁膜をマスクにして前記高融点金属シリサイド層及び第2の多結晶シリコン層をエッチングし、ゲート電極の第2の部分形成する工程、

(C) 前記側壁絶縁膜を除去した後、ゲート電極の第2の部分透過し第1の部分透過しないエネルギーで不純物イオンを低濃度に注入する工程、

(D) ゲート電極の第2の部分透過しないエネルギーで前記不純物イオンと同じ導電型の不純物イオンを高濃度に注入する工程。

(作用)

第3図の構造と同じく低濃度拡散領域とゲート電極が平面上の重なり部分をもっているため、ゲート電極から低濃度拡散領域に電界がかかり、低濃度拡散領域の抵抗が下がって従来のLDD構造よりも相互コンダクタンス $g_m$ が高くなる。

引用文献にも示されているように、この重なりによりトランジスタ内部での電界が弱くなり、ホットキャリアに対する耐性が向上する。

金属シリサイド層19bが形成された構造になっている。高融点金属シリサイド層19としてはタングステンシリサイド( $WSi_2$ )、モリブデンシリサイド( $MoSi_2$ )又はタンタルシリサイド( $TaSi_2$ )などを用いることができる。

第1図はNチャネルMOSトランジスタの例であるが、PチャネルMOSトランジスタの場合も導電型が逆になるだけで全く同様に本発明を適用することができる。

次に、第2図により一実施例の製造方法を説明する。

(A) P型シリコン基板11に素子分離領域を形成した後、ゲート酸化膜14を50~250Å程度の厚さに形成する

その上に第1の多結晶シリコン層を1000~5000Å程度の厚さに堆積し、写真製版とエッチングによってパターン化を施してゲート電極の第1の部分16を形成する。

(B) その上から第2の多結晶シリコン層18aを500~2500Åの厚さに堆積し、リンを注

入又は堆積し、多結晶シリコン層16、18aに拡散させて両多結晶シリコン層16、18aを低抵抗化する。第2の多結晶シリコン層18a上に高融点金属シリサイド層19aを500~2500Å程度の厚さに堆積する。

(実施例)

第1図は一実施例を表わす。

11はP型シリコン基板であり、N型不純物拡散によりソース12とドレイン13が形成されている。基板11はP型エピタキシャル層であってもよく、又はN型シリコン基板に形成したP型ウェルであってもよい。両拡散領域12、13のチャネル領域側の端部にはそれぞれ低濃度拡散領域12a、13aが形成されている。

基板11上にはゲート酸化膜14を介してゲート電極15が形成されている。ゲート電極15はチャネル領域上の膜厚の厚い第1の部分16と、この第1の部分16のチャネル長方向の外側に設けられた膜厚の薄い第2の部分17、17とからなり、第2の部分17、17は低濃度拡散領域12a、13aと平面上の位置が重なっている。第2の部分17は多結晶シリコン層18a上に高融点

金属シリサイド層19aを500~2500Å程度の厚さに堆積する。

その後、CVD法によりシリコン酸化膜20aを1000~4000Å程度の厚さに堆積する。

(C) シリコン酸化膜20aの異方性エッチングによりシリコン酸化膜20aをエッチバックし、ゲート電極15の側壁にシリコン酸化膜のサイドウォール状スペーサ20を残す。

次に、そのスペーサ20をマスクとして高融点金属シリサイド層19a、多結晶シリコン層18aの異方性エッチングを行なう。これによりゲート電極15の第1の部分16のチャネル長さ方向の外側にゲート電極の膜厚の薄い第2の部分17が残った状態となる。

その後、シリコン酸化膜のスペーサ20及びソース・ドレイン領域上のゲート酸化膜14をHF溶液などのエッチング液で除去する。

(D) ゲート電極の膜厚の薄い第2の部分17を透過し、膜厚の厚い第1の部分16を透過しない加速エネルギーでリンイオン又は砒素イオンを注入する。ゲート電極の第1の部分16の膜厚を3500Å、第2の部分17の多結晶シリコン層18の膜厚を1000Å、高融点金属シリサイド層19の膜厚を500Å、ゲート酸化膜14の膜厚を150Åとした場合、リンイオンのときの注入の加速エネルギーは約100～200KeV、注入量は $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ である。

次に、ゲート電極の第1の部分16はもちろん、第2の部分17も透過しないエネルギーでリンイオン又は砒素イオンを $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 注入する。ゲート電極16、17及びゲート酸化膜14の膜厚が上記の場合、加速エネルギーはリンのとき15～30KeV程度、砒素のとき30～70KeV程度である。

(E) その後、熱処理をおこなうことにより、低濃度拡散領域12a、13aとゲート電極の第2の部分17、17とが平面上で重なったLDD構造

造のMOSトランジスタが形成される。

その後は通常のプロセスに従って層間絶縁膜の形成、コンタクトホール形成、メタル配線の形成、パッシベーション膜の形成などを行なう。

第2図はNチャネルMOSトランジスタの製造プロセスであるが、PチャネルMOSトランジスタの場合も導電型が逆になるだけで全く同様に本発明の方法を適用することができる。

(発明の効果)

本発明の半導体装置では、ソース領域・ドレイン領域の低濃度拡散領域とゲート電極が平面上の重なり部分をもっているため、ゲート電極から低濃度拡散領域に電界がかかり、低濃度拡散領域の抵抗が下がって従来のLDD構造よりも相互コンダクタンス $g_m$ が高くなる。

また、この重なりによりトランジスタ内部での電界が弱くなり、ホットキャリアに対する耐性が向上する。

ゲート電極の第2の部分上の高融点金属シリサイド層によってゲート電極を含むラインの抵抗が

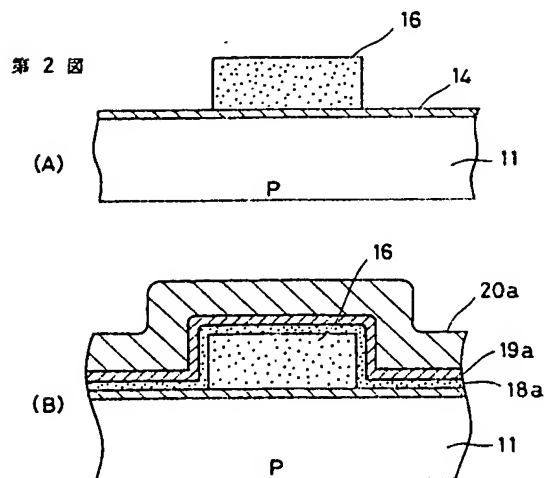
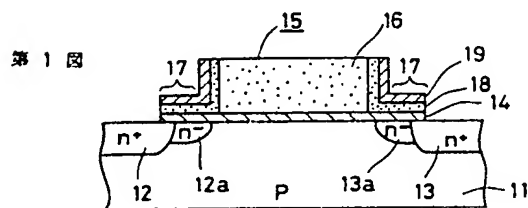
低下する。

本発明の製造方法は引用文献に記載された製造方法と比べるとプロセスが簡単である。

#### 4. 図面の簡単な説明

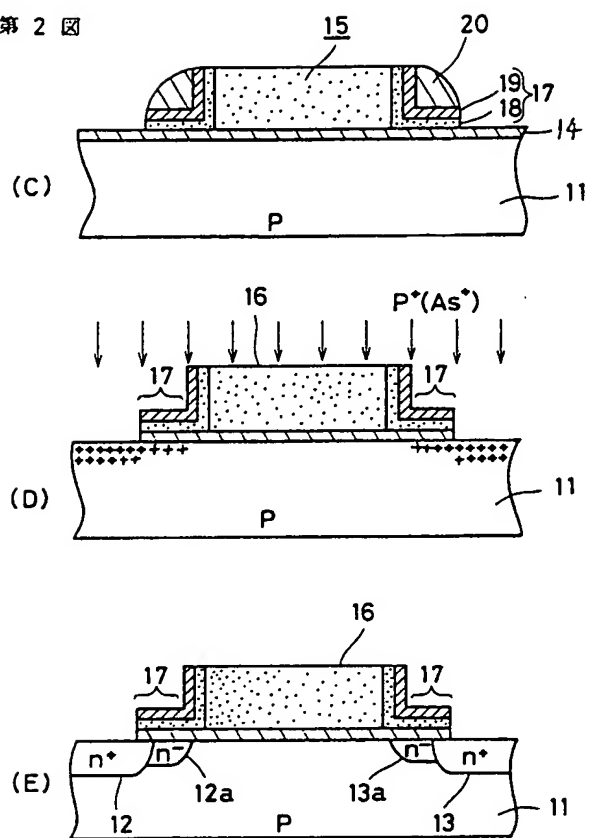
第1図は一実施例の要部を示す断面図、第2図(A)から同図(E)は一実施例の製造プロセスを示す断面図、第3図は提案された改良型LDD構造を示す断面図である。

11……シリコン基板、12……ソース、13……ドレイン、12a、13a……低濃度拡散領域、14……ゲート酸化膜、15……ゲート電極、16……第1の部分、17……第2の部分、19……高融点金属シリサイド層、20……シリコン酸化膜。



特許出願人 株式会社リコー  
代理人 弁理士 野口繁雄

第 2 図



第 3 図

